

МОДУЛЬ АНАЛОГОВОГО ВВОДА ADS10x2G V2.0

Руководство пользователя

Москва 2006

Примечание: В целях постоянного улучшения качества продукции сохраняется право изменять параметры данного изделия без уведомления. Информация, представленная в настоящем издании, может быть изменена без уведомления.

Содержание

1.	Введение	4
2.	Технические характеристики	5
2.1	Основные характеристики	5
2.2	Динамические характеристики	6
2.3	Требования к питанию модуля.	8
2.4	Конструктивные параметры.	8
2.5	Комплект поставки.	8
3.	МЕРЫ ПРЕДОСТОРОЖНОСТИ ПРИ ТРАНСПОРТИРОВКЕ, УСТАНОВКЕ ИЗДЕЛИЯ В КОМПЬЮТЕР И ЭКСПЛУАТАЦИИ	9
4.	Устройство и работа изделия.	10
4.1	Общая функциональная схема.	10
4.2	Узел управления модулем.	11
4.3	Тракт ввода аналогового сигнала.	12
4.4	Узел АЦП.	13
4.5	Узел демультиплексора.	14
4.6	Узел тактовой синхронизации.	15
4.6.1	Синтезатор тактовой частоты.	15
4.7	Узел стартовой синхронизации.	20
4.8	Узел упаковки данных и управления SDRAM	21
4.9	Память данных	21
4.10	Цифровой порт ввода/вывода	23
4.11	Системный интерфейс	24
5.	Взаимодействие модуля с источниками сигналов	25
5.1	Предварительные замечания	25
5.2	Подключение модуля к типовым источникам сигналов	25
6.	Калибровка модуля	27
7.	Установка конфигурации модуля	28
7.1	Загрузка конфигурации программируемых логических схем	28

1. ВВЕДЕНИЕ

В настоящем документе описывается работа узлов и программирование ресурсов модуля аналогового ввода **ADS10x2G V2.0**, приводятся основные технические параметры модуля и условия эксплуатации модуля.

Модуль **ADS10x2G V2.0**, является модулем расширения шины **PCI 66 МГц** для персонального компьютера. Этот модуль предназначен для ввода широкополосных аналоговых сигналов с полосой от **0 Гц до 600 МГц**, с максимальной амплитудой сигнала до 2.5 В. Модулем осуществляется аналогово-цифровое преобразование с максимальной частотой тактирования до **2 ГГц** и разрядностью **10 бит**, накопление кода сигнала в буфере памяти с максимальным объёмом до **4 гигабайт**. Для аналогово-цифрового преобразования с помощью модуля **ADS10x2G V2.0** можно использовать внутренний или внешний источник сигнала тактовой частоты.

Модуль **ADS10x2G V2.0** рекомендуется для применения в радиотехнических комплексах систем сбора и обработки широкополосных сигналов произвольной формы. Модуль обладает таким сочетанием шумовых и динамических характеристик, которое позволяет использовать его в качестве цифрового осциллографа и анализатора спектра. Модуль может найти применение в качестве инструментального средства для решения задач:

- радиолокации,
- радиопеленгации,
- радионавигации,
- в лабораторном оборудовании,
- в исследовании физических процессов.

Примечание: Данное руководство пользователя действительно на момент издания. Фирма-производитель оставляет за собой право в будущем вносить исправления и дополнения по мере необходимости.

2. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

2.1 Основные характеристики

Основные технические характеристики модуля представлены в Табл. 1

Табл. 1 Основные технические характеристики.

Параметр	Значение
Входной сигнальный тракт АЦП	
Разрядность	10 бит
Количество АЦП	1
Количество недифференциальных каналов	1
Максимальная частота дискретизации АЦП	2000 МГц
Минимальная частота дискретизации АЦП	200 МГц
Частоты внутреннего тактового генератора	2000 МГц, 1000 МГц, 500 МГц, 250 МГц,
Полоса частот входного сигнала, при шкале преобразования 0,5 В по уровню -3 дБ, при $R_{вх} = 50 \text{ Ом}$.	От 0 Гц до 600 МГц
Частота среза входного тракта в состоянии входа закрытом для постоянной составляющей, при $R_{вх} = 50 \text{ Ом}$.	32 Гц
Полоса частот входного сигнала, при шкале преобразования 0,5 В по уровню -3 дБ, при $R_{вх} = 1 \text{ МОм}$.	От 0 Гц до 300 МГц
Частота среза входного тракта в состоянии входа закрытом для постоянной составляющей, при $R_{вх} = 1 \text{ МОм}$.	0,3 Гц
Входное сопротивление ($R_{вх}$) (выбирается программно)	50 Ом ($\pm 1\%$)
	1 МОм ($\pm 1\%$)
Входная емкость ($C_{вх}$)	не более 7 пФ
Входные шкалы преобразования, В	$\pm 0,25$; $\pm 0,5$; ± 1 ; $\pm 2,5$
Абсолютная погрешность шкалы преобразования (без программной подстройки)	не более $\pm 10\%$
Программная подстройка шкалы преобразования	$\pm 10\%$ (от полной шкалы)
Максимально допустимое постоянное напряжение на входе, при $R_{вх} = 50 \text{ Ом}$.	$\pm 5 \text{ В}$
Максимально допустимое постоянное напряжение на входе, при $R_{вх} = 1 \text{ МОм}$.	$\pm 50 \text{ В}$
Максимально допустимое импульсное ($< 10 \text{ мс}$) напряжение на входе	$\pm 150 \text{ В}$
Входы тактовой синхронизации АЦП	
Тип входа EXT CLK IN	недифференциальный
Сопротивление входа EXT CLK IN (входная емкость)	50 Ом $\pm 1\%$ (2 пФ)
Максимальный размах внешнего сигнала входа EXT CLK IN ,	1000 мВ
Минимальный размах внешнего сигнала входа EXT CLK IN ,	200 мВ
Полоса частот сигналов на входе EXT CLK IN ,	30...2000 МГц
Тип входа $\pm \text{CLK IN}$	дифференциальный
Сопротивление входа $\pm \text{CLK IN}$ (входная емкость)	50 Ом $\pm 1\%$ (2 пФ)
	недифф. 100 Ом $\pm 1\%$ (1 пФ) дифф
Максимальный размах внешнего сигнала входа $\pm \text{CLK IN}$,	1000 мВ недифф.
	500 мВ дифф.
Минимальный размах внешнего сигнала входа $\pm \text{CLK IN}$,	100 мВ недифф.
	50 мВ дифф.

Полоса частот сигналов на входе $\pm\text{CLK IN}$,	2000 мВ дифф.
Входы стартовой синхронизации АЦП	
Тип входа EXT START IN	недифференциальный
Сопротивление входа EXT START IN (входная емкость)	10 кОм $\pm 1\%$ (2 пФ)
Минимальный размах внешнего сигнала тактирования входа EXT START IN ,	3Максимальный размах В
Максимальный размах внешнего сигнала старта входа EXT START IN ,	100 мВ
Тип входа START IN	недифференциальный
Сопротивление входа START IN (входная емкость)	50 Ом $\pm 1\%$ (2 пФ)
Максимальный размах внешнего сигнала старта входа START IN	1000 мВ
Минимальный размах внешнего сигнала тактирования входа START IN	200 мВ

Состояние входов может быть открытым для постоянной составляющей или закрытым. При закрытом состоянии входов нижняя частота среза входных трактов не превышает 3200 Гц. Эти состояния определяются программируемыми ресурсами.

Модуль имеет программируемое смещение шкалы.

Синхронизация тактирования может быть как внутренняя, так и внешняя.

Синхронизация момента старта модуля может быть как внутренняя, так и внешняя.

2.2 Динамические характеристики

При проведении исследования динамических параметров модуля ADS10x2G V2.0 были использованы следующие приборы и оборудование: генератор импульсных сигналов И1-15, генераторы сигналов высокой частоты фирмы «Marconi Instruments» 2022E, «Hewlett Packard 8642B», набор фильтров низкой частоты, персональный компьютер с шиной PCI, пакет тестового программного обеспечения ISVI.

В Табл. 2 приведены типовые значения отношений сигнал-шум, коэффициентов гармоник, свободного динамического диапазона, эффективной разрядности и межканальной развязки.

Табл. 2 Типовые динамические характеристики.

Частота дискретизации, МГц	Частота входного сигнала, МГц	Шкала преобразования АЦП, В	Входное сопротивление, Ом	Глубина БПФ	SNR, дБ	THD, дБ	SFDR, дБ	ENB, дБ
2000	11	0,5	1 МОм	8k	46	-54	57	7,3
2000	30	0,5	1 МОм	8k	46	-53	56	7,2
500	350	0,5	50	8k	48	-54	56	7,5
500	350	0,5	50	8k	46	-51	54	7,1
1000	350	0,5	50	8k	46	-51	54	7,1
2000	350	0,5	50	8k	46	-51	54	7,1

Табл. 3 Входной импульсный сигнал с частотой 0,01 МГц и временем нарастания фронта 0,5 нс.

Входная шкала, В	Частота дискретизации, МГц	Входное сопротивление, Ом	Время установления с точностью 1%, нс	Время нарастания-спада фронта, нс	Выброс на переходной характеристике, %
0,5	2000	50	3	0,5	<1
0,5	2000	1 МОм	20	5	<3

Табл. 4 Рабочая полоса по уровню -3 дБ.

Входная шкала, В	Входное сопротивление, Ом	Рабочая полоса по уровню -3 дБ, МГц
±2,5	50	900
±1	50	750
±0,5	50	650
±0,25	50	590
±2,5	1 МОм	130
±1	1 МОм	150
±0,5	1 МОм	150
±0,25	1 МОм	170

Примечания:

SFDR - свободный динамический диапазон (отношение основной гармоники полезного сигнала к максимальной паразитной гармонике, определяемое на 16384 точечном БПФ при весовом окне Кайзера - Бесселя -100 дБ).

THD - коэффициент гармонических искажений (определяется по первым шести гармоникам).

SNR - отношение сигнал/шум.

ENB - эффективная разрядность преобразования.

2.3 Требования к питанию модуля.

Полное питание модуля.

- Не более 25 мА по цепи +12 В.
- Не более 10 мА по цепи -12 В.
- Не более 2,7 А по цепи +5 В.
- Не более 3 А по цепи +3,3 В.
- Суммарная потребляемая мощность не более 26 Вт.

Работа модуля в режиме энергосбережения (модуль установлен в компьютер, ПЛИС не загружена).

- Не более 20 мА по цепи +12 В.
- Не более 10 мА по цепи -12 В.
- Не более 300 мА по цепи +5 В.
- Не более 500 мА по цепи +3,3 В.
- Суммарная потребляемая мощность не более 3,7 Вт.

2.4 Конструктивные параметры.

Габаритные размеры модуля (Д x Ш x В), мм - 353,5 x 132 x 20,5 .

С учётом обеспечения вентиляции модуль должен занимать в компьютере два слота.

2.5 Комплект поставки.

В комплект поставки входят:

- Модуль **ADS10x2G V2.0** - 1 шт.;
- Паспорт - 1 шт.;
- *Руководство пользователя* - 1 шт.;
- CD с программным обеспечением и документацией – 1 шт.;
- Упаковочный антистатический пакет - 1 шт.;
- Упаковочная коробка – 1 шт.

3. МЕРЫ ПРЕДОСТОРОЖНОСТИ ПРИ ТРАНСПОРТИРОВКЕ, УСТАНОВКЕ ИЗДЕЛИЯ В КОМПЬЮТЕР И ЭКСПЛУАТАЦИИ

- Транспортируйте и храните модуль только в антистатической упаковке;
- Не допускайте разряда статического электричества на модуль;
- Осторожно обращайтесь с модулем, не допускайте значительного изгиба платы модуля во избежание повреждения проводников и монтажа;
- Не допускайте ударных нагрузок на модуль;
- В случае вибрационных нагрузок обязательно проконсультируйтесь с изготовителем;
- Диапазон температур окружающей среды, в котором допустима работа модуля от +10 °С до +40 °С;
- Диапазон температур окружающей среды при хранении и транспортировке модуля от –30 °С до +70 °С;
- Охлаждённый модуль не включайте до нагрева до температуры окружающей среды и полного испарения конденсата (росы);
- Перед началом работы внимательно прочитайте данное руководство и руководство на базовый модуль;
- Устанавливайте модуль в персональный компьютер, не допуская перекосов и механических напряжений;
- Закрепляйте модуль в компьютере предназначенным для этого крепёжным винтом;
- Всегда **выключайте питание компьютера**, прежде чем:
 - ⇒ **устанавливать модуль;**
 - ⇒ **извлекать модуль;**
 - ⇒ **подключать разъемы к модулю;**
 - ⇒ **снимать или устанавливать модули памяти.**
- Не допускайте подключения входов и выходов модуля к оборудованию, не имеющему общей земли с компьютером, в котором установлен модуль;
- При самостоятельной установке пользователем модулей DDR SDRAM DIMM необходимо учитывать следующие требования:
 1. Допускается устанавливать модули только с одинаковой организацией (объём, число банков, размер страниц).
 2. Класс быстродействия не ниже PC2100.
 3. Все модули должны быть регистровыми (registered).
 4. Не гарантируется работоспособность узла памяти при самостоятельной установке пользователем DIMM-модулей.
- Модуль предназначен для установки в компьютер с 32- или 64-разрядной шиной PCI с тактовой частотой до 66МГц;
- на разъёме PCI обязательно должно присутствовать питание +3.3В;
- Модуль содержит компоненты, нагревающиеся в процессе работы до 90°С, соблюдайте осторожность.

4. УСТРОЙСТВО И РАБОТА ИЗДЕЛИЯ.

4.1 Общая функциональная схема.

Модуль аналогового ввода **ADS10x2G V2.0**, функциональная схема которого приведена на Рис. 1, состоит из следующих основных частей:

- Тракт ввода аналоговых сигналов, которые включает в себя:
 - ⇒ Узел выбора входного сопротивления 50 Ом или 1 МОм **B1**;
 - ⇒ Узел выбора «открытый - закрытый» вход **B2, B3**;
 - ⇒ Программируемые аттенюаторы **B4, B6, B8**;
 - ⇒ Буферный усилитель **B5**;
 - ⇒ Нормирующий усилитель **B7**;
 - ⇒ Мультиплексор входа АЦП **B10**;
 - ⇒ Узел смещения нуля шкалы преобразования **B9**;
 - ⇒ Узел подстройки шкалы преобразования **B11**;
 - ⇒ высокоскоростной 10-разрядный АЦП **B19**;
- Демультимплексор данных АЦП **B20**;
- Тракт сигналов старта включает в себя:
 - ⇒ Синтезатор тактовой частоты 2 ГГц **B15**;
 - ⇒ Мультиплексор сигнала тактирования **B16**;
 - ⇒ Мультиплексор сигнала тактирования в режиме SLave **B18**;
 - ⇒ Делитель частоты сигналов тактирования **B17**;
 - ⇒ Генератор опорной частоты 40 МГц **B29**.
- Тракт сигналов старта включает в себя:
 - ⇒ Двухканальный компаратор сигналов старта **B12**;
 - ⇒ Мультиплексор сигналов старта **B13**;
 - ⇒ Схема привязки сигналов старта к сигналу тактирования АЦП **B14**;
- Буфер памяти данных FIFO **B21**;
- Узел управления потоками данных и управления динамической памятью SDRAM **B22**;
- Два модуля динамической памяти данных DDR SDRAM DIMM с макс. объемом до 2 ГБайт каждый **B23** и **B24**;
- Узел управления модулем **B26**;
- Контроллер шины PCI 66 МГц **B25**;
- Узел ЦАП программируемых напряжений **B28**;
- Электронный термометр **B27**.

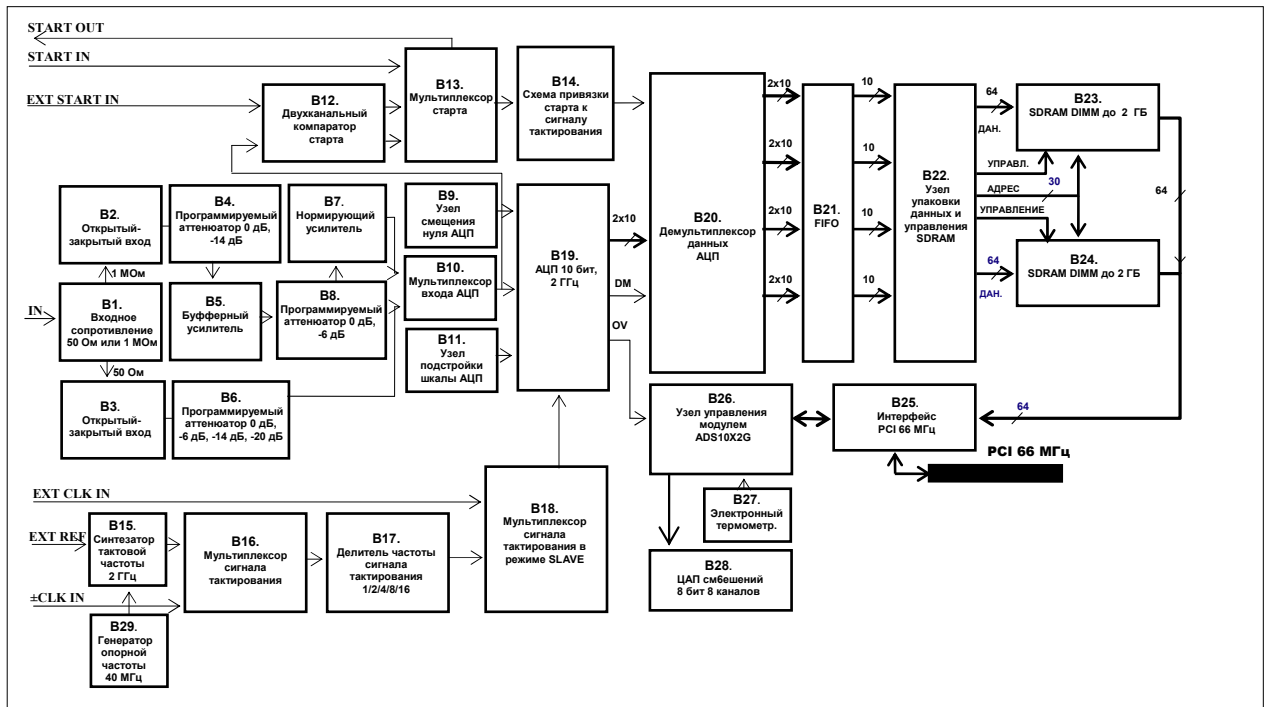


Рис. 1 Функциональная схема изделия.

Условные обозначения на функциональной схеме:

IN - разъем для входа внешнего аналогового сигнала;

EXT CLK IN – входной разъем для внешнего сигнала тактирования;

±CLK IN – два входных разъема для внешнего дифференциального сигнала тактирования в режиме работы модуля **SLAVE**;

EXT START IN – входной разъем для внешнего сигнала синхронизации начала сбора данных;

START IN – входной разъем для внешнего сигнала синхронизации начала сбора данных в режиме работы модуля **SLAVE**;

EXT REF– входной разъем для внешнего сигнала опорной частоты.

Для обеспечения функционирования всех узлов модуля, реализации протоколов взаимодействия и потоков данных между ними, формирования временных диаграмм и физического интерфейса узлов модуля используется ПЛИС большой ёмкости XC4VLX25 фирмы Xilinx. Поэтому большая часть функциональных возможностей модуля определяется параметрами соответствующей конфигурации ПЛИС. При разработке программного обеспечения для модуля, для полноты информации необходимо использовать документ «Описание модуля загрузки ПЛИС ADS10x2G V2.0».

Загрузка конфигурации (прошивки) ПЛИС производится программно.

4.2 Узел управления модулем.

Узел управления служит: для установки требуемой шкалы преобразования АЦП, выбора состояния входа по постоянной составляющей открытый или закрытый, выбора источника старта и типа старта (программный или от сигнала), выбора источника тактирования АЦП, выбора режима работы питания. Команды установки этих режимов поступают через шину PCI от материнской платы компьютера.

Существуют два режима питания модулем ADS10x2G V2.0:

- На полную мощность;
- Режим энергосбережения;

Первый режим - рабочий, а второй режим используется, когда модуль установлен в компьютер, к нему подано питание, а работа с модулем не ведётся.

4.3 Тракт ввода аналогового сигнала.

На модуле **ADS10x2G V2.0** реализован один канал преобразования аналогового сигнала в цифровой код. Это преобразование выполняет один **АЦП**, обозначенный на блок-схеме **B19**. Разрядность выходного цифрового кода 10 бит, максимальная частота тактирования 2 ГГц. Для нормализации преобразуемого сигнала по уровню и выполнения предварительной обработки перед входом **АЦП** существует аналоговый тракт. В аналоговом тракте можно выбрать следующие режимы:

- Выбрать требуемый диапазон преобразования **АЦП** $\pm 0,25$ В, $\pm 0,5$ В, ± 1 В, $\pm 2,5$ В;
- Выбрать требуемое входное сопротивление входа **IN** 50 Ом или 1 МОм;
- Выбрать тип входа - открытый или закрытый для постоянной составляющей.
- Для калибровки постоянного смещения базовой линии на входе **АЦП** можно «заземлить» вход аналогового тракта, при этом вход **IN** переключается в положение 50 Ом, когда калибруется тракт для $R_{вх} = 1$ МОм, и наоборот сопротивление входа **IN** становится 1 МОм, когда калибруется тракт для $R_{вх} = 50$ Ом.
- Имеется возможность программного смещения базовой линии **АЦП** в пределах полного диапазона преобразования.
- Имеется возможность программной подстройки диапазона в пределах $\pm 10\%$ от полного диапазона преобразования.

! На аналоговый вход IN не рекомендуется подавать сигнал с эффективным значением напряжения более 5 В при $R_{вх} = 50$ Ом.

Для удовлетворения высоким требованиям по динамическому диапазону (**SFDR 53 дБ** при $R_{вх} = 50$ Ом, в полосе входных частот от 0 Гц до 300 МГц) и возможности иметь $R_{вх} = 1$ МОм на модуле **ADS10x2G V2.0** выполнено два переключаемых аналоговых тракта – с низким входным сопротивлением **B3**, **B6** и с высоким входным сопротивлением **B2**, **B4**, **B5**, **B7**, **B8**. Эти тракты коммутируются по входу **IN** и на входе **АЦП** с помощью коммутаторов **B1** и **B10**. В обоих аналоговых трактах диапазоны преобразования выбираются одинаковыми независимо от состояния коммутаторов **B1** и **B10**. Для каждого аналогового тракта и для каждого выбранного диапазона требуется собственная компенсация смещения базовой линии.

Смещение базовой линии входного тракта осуществляется с помощью узла **B9**. Для формирования смещения базовой линии во входной тракт подаются сигналы от узла ЦАП программируемых напряжений **DAC3** и **DAC4**. Эти каналы ЦАП имеют прямой код от 0 до 256 уровней. Канал **DAC3** определяет грубое смещение в пределах всей шкалы преобразования, а канал **DAC4** осуществляет точную подстройку смещения базовой линии в пределах от -10% до +10% по отношению к полной шкале преобразования. Смещению 0 В соответствует код 127. Смещению к нижнему (отрицательному) пределу соответствует код 0. Смещению к верхнему (положительному) - код 256.

В модуль заложена функция программной подстройки шкалы преобразования **B11**. Диапазон подстройки от - 10% до +10%. Подстройка осуществляется с помощью сигналов ЦАП программируемых напряжений, расположенного на модуле, **DAC8**. В этот канал ЦАП надо записывать прямой код от 0 до 256 уровней. Подстройке 0% соответствует код 127. Подстройке -10% соответствует код 0. Подстройке +10% соответствует код 256.

Сигнал от входного тракта может быть использован для старта процесса преобразования. Для этого с выхода узла **B10** ответвляется сигнал на мультиплексор узла стартовой синхронизации **B12**.

4.4 Узел АЦП.

Узел **АЦП B19** может работать в переключаемых программно режимах:

- Выводить код входного сигнала или выводить тестовую выходную последовательность;
- Формировать на выходе прямой код или код Грея.

АЦП на своём выходе может формировать два вида цифровой кодировки сигналов – прямой код и код Грея. Соответствие уровней напряжения на входе **АЦП** цифровому представлению кода приведено в Табл. 5.

Когда напряжение входного сигнала превышает значение выбранной шкалы преобразования, **АЦП** сигнализирует об этом событии сигналом **OR**. Этот сигнал фиксируется логикой узла управления модулем **B26**. Когда **OR** = “1” происходит перегрузка входной шкалы **АЦП**, когда **OR** = “0” перегрузки **АЦП** нет.

Табл. 5 Сигналы узла **АЦП B11**.

Название	Назначение	состояние
Выход АЦП	Прямой код	Положительный предел полной шкалы 111111111. Положительный предел полной шкалы минус один разряд 111111110. Ноль сигнала 100000000 или 011111111. Отрицательный предел полной шкалы плюс один разряд 000000001. Отрицательный предел полной шкалы 000000000.
Выход АЦП	Код Грея	Положительный предел полной шкалы 100000000. Положительный предел полной шкалы минус один разряд 100000001. Ноль сигнала 110000000 или 010000000. Отрицательный предел полной шкалы плюс один разряд 000000001. Отрицательный предел полной шкалы 000000000.

Особенность кода Грея состоит в том, что при переходе от одной кодовой комбинации к соседней изменяется только один бит выходного кода из 10 в случае 10-битового АЦП. Таким образом, при использовании кода Грея уровень помех, формируемых по цепям питания и земли, меньше, чем при использовании прямого или дополнительного кода. Неудобство использования кода Грея состоит в том, что в программном обеспечении необходимо дешифровать этот код для выполнения математических операций с помощью системных микропроцессоров. Практика показывает, что наибольшие помехи при работе с прямым кодом или с дополнительным кодом появляются при переходе кода через нулевое значение, например, для дополнительного кода переход от 0 к -1 и наоборот. При использовании кода Грея эта ситуация исключена. Различие в уровне формируемых помех при использовании различных кодов наиболее заметно, когда для передачи данных используются микросхемы с логикой TTL или CMOS. При использовании логики ECL (или PECL) и LVDS мало заметно различие между типами кодировки по уровню формируемых помех.

Для проверки работоспособности основных узлов модуля ADS10x2G V2.0, можно использовать режим формирования тестовой кодовой последовательности АЦП (так называемый **Pattern Generator Function, PGF**). Тестовая последовательность формируется таким образом, что каждый цикл тактирования АЦП каждый бит выходного кода менял бы своё значение с “0” на “1”. Таким образом, каждый цикл на выходе АЦП присутствует код “0000000000” либо “1111111111” (прямой код).

4.5 Узел демультиплексора.

Узел демультиплексора **B20** служит для понижения скорости потока данных перед записью этого потока в буферную память модуля. Работа демультиплексора связана с работой узла стартовой синхронизации.

Демультиплексор может работать в двух режимах выбираемых программно:

- Выводить код входного сигнала;
- Выводить тестовую выходную последовательность.

Режим вывода тестовой последовательности (так называемый **BUILT-IN SELF TEST, BIST**) необходим для проверки безошибочного прохождения потока данных от выхода демультиплексора к последующим устройствам, принимающим эти данные. В режиме **BIST** на выходе демультиплексора последовательность таким образом, что каждый бит выходного кода менял бы своё значение с “0” на “1”. На выходе демультиплексора присутствует код “0101010101” либо “1010101010” (прямой код).

4.6 Узел тактовой синхронизации.

Формирование временных диаграмм работы модуля производится относительно сигнала тактовой частоты, источниками которого являются:

- Синтезатор сигнала тактирования **B15**.
- Внешний сигнал тактовой частоты. Разъём **EXT CLK IN** на задней стороне модуля.
- Внешний источник тактовой частоты, приходящий от модуля MASTER в режиме MASTER-SLAVE. Разъемы $\pm \text{CLK IN}$ на верхней стороне модуля.

Разъём **CLK IN** используется для подключения к модулю SLAVE сигнала тактовой частоты от модуля MASTER при работе нескольких модулей в составе многомодульного комплекса в режиме MASTER-SLAVE. В качестве модуля MASTER должен быть использован синтезатор тактовой частоты с форматом выходного сигнала, соответствующего PECL или ECL. Использование разъёма $\pm \text{CLK IN}$ минимизирует временное рассогласование тактовых сигналов между платой MASTER и платами SLAVE.

Входы **EXT CLK IN** и $\pm \text{CLK IN}$ имеют развязку от постоянной составляющей с нижней частотой среза равной 32 МГц. Размах сигналов может быть в пределах от 200 мВ до 1 В для **EXT CLK IN** и от 100 мВ до 1 В для $\pm \text{CLK IN}$ при этом уровень постоянной составляющей сигналов не должен выходить за пределы от -3 В до +3 В.

Входы **EXT CLK IN** и $\pm \text{CLK IN}$ в качестве источника тактовой частоты выбираются программно.

В модуле **ADS10x2G V2.0** имеется возможность деления частоты сигнала от внутреннего синтезатора и от входа **EXT CLK IN**. Коэффициент деления можно выбрать из ряда: 1, 2, 4, 8, 16. Коэффициент деления 16 физически возможен, но при его выборе частота тактирования получается ниже 200 МГц. На частотах тактирования ниже 200 МГц результат работы **АЦП** непредсказуем, но эта ситуация не приведёт к выходу модуля из работоспособного состояния. Сигнал, поступающий на разъём $\pm \text{CLK IN}$ от модуля MASTER в режиме MASTER-SLAVE, делению не подлежит.

4.6.1 Синтезатор тактовой частоты.

Для формирования тактовой частоты используется синтезатор с петлёй ФАПЧ. Синтезатор с помощью программно-аппаратных средств перестраивается в диапазоне частот от 1900 МГц до 2050 МГц.

Принцип работы синтезатора прост. Имеется генератор, управляемый напряжением, (ГУН) с диапазоном перестройки по частоте от 1900 МГц до 2050 МГц, имеется генератор опорной частоты, частотно-фазовый детектор, два делителя частоты с дробным коэффициентом деления для деления частот опорного генератора и ГУН, формирователь напряжения ошибки. Сигналы от обоих генераторов подаются на частотно-фазовый детектор через делители частоты. Эти сигналы сравниваются по частоте и фазе на некоторой частоте сравнения, и в случае расхождения этих параметров формируется компенсирующее напряжение, прикладываемое к входу управления частотой ГУН. При замкнутой петле ФАПЧ система входит в стационарный режим, когда на частоте сравнения совпадают по фазе сигналы с делителей от ГУН и от источника опорной частоты.

В состав синтезатора частоты входит управляющая микросхема **LMX2350**, блок-схема которой приведена на Рис. 2. Эта микросхема имеет два канала для синтеза двух независимых сигналов. В модуле **ADM10x2G V2.0** задействован один канал этой микросхемы – RF-канал.

Сигнал с выхода ГУН подаётся на вход **fin RF** микросхемы **LMX2350**, а с выхода этой микросхемы **CPo RF** снимается постоянное напряжение, подаваемое на вход управления частотой ГУН. Таким образом петля ФАПЧ замыкается. Эта микросхема является основным узлом синтезатора частоты, и названия её функциональных блоков совпадают с названиями узлов синтезатора.

Block Diagram

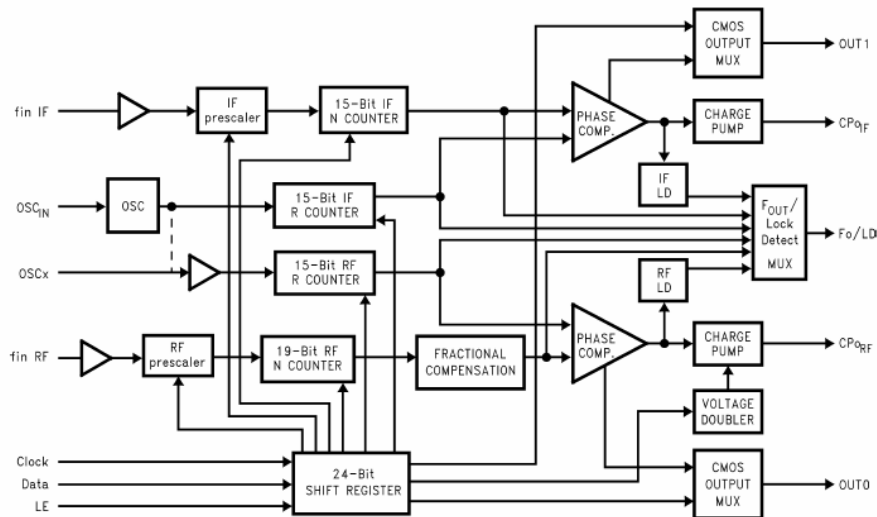


Рис. 2 Блок-схема LMX2350.

Программируемыми параметрами являются значения коэффициентов деления делителей частоты. Сигнал опорной частоты можно получить двумя способами:

- 1) от кварцованного генератора, по умолчанию на плате установлен генератор, формирующий TTL сигнал с частотой 40 МГц. На Рис. 1 этот генератор обозначен как **B29**.
- 2) от входа внешнего источника опорной частоты **EXT REF** (совместимым с LV-TTL 3,3 В).

Переключение источников опорной частоты осуществляется программно. Диапазон частот внешнего сигнала опорной частоты находится в пределах от 1 МГц до 50 МГц.

Управление ресурсами синтезатора тактовой частоты.

В синтезаторе ФАПЧ имеется два канала: RF – радио частоты, IF – промежуточной частоты. Канал IF не задействован в схеме.

Регистры управления занимают по 24 бита, всего таких регистров 4, из них основными являются 3-й и 4-й. Младшие биты 0-й и 1-й содержат адрес регистра, в который происходит запись. Структура регистров управления приведена в Табл. 6. Назначение полей регистров управления приведено в Табл. 7.

Табл. 6 Регистры управления синтезатором частоты.

	First Bit		REGISTER BIT LOCATION																				Last Bit	
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IF_R	OSC	FRAC_16	FoLD		IF_CP_WORD		IF_R_CNTR																0	0
IF_N	IF_CTL_WORD				CMOS				IF_NB_CNTR										IF_NA_CNTR				0	1
RF_R	DLL_MODE	V2_EN	RF_CP_WORD				RF_R_CNTR																1	0
RF_N	RF_CTL_WORD				RF_NB_CNTR										RF_NA_CNTR				FRAC_CNTR				1	1

Значения частоты параметров синтезатора рассчитывается на основании следующих соотношений:

$$f_{vco} = [N + F] \times [f_{osc} / R] ; \quad \{1\}$$

$$N = (P \times B) + A. \quad \{2\}$$

Где F – значение дробной части делителя (состояние поля FRAC_CNTR, отнесённое к соответствующему модулю дробности. Например, FRAC_CNTR/16);

B – предустановка отношения 10-битового счётчика целой части делителя входной частоты;

A – величина дополнения 5-битового двоичного счётчика.

$(0 \leq A \leq 31 \{RF\}, 0 \leq A \leq 15 \{IF\}, A+2 \leq B \{RF\}, A \leq B \{IF\})$;

f_{osc} – частота опорного кварцевого генератора;

R – предустановка 15-битового счётчика сигнала опорной частоты (от 3 до 16383);

P – предустановка модуля прескалера (16 или 32).

f_{vco} – частота генератора, управляемого напряжением. Размерность должна совпадать с размерностью f_{osc} .

Табл. 7 Назначение полей регистра управления синтезатором.

Название	Назначение
DLL_MODE	Линия задержки петли ФАПЧ при калибровке: 0 – медленно, 1 – быстро. При нормальной работе должна быть 1.
V2_EN	Программируемое разрешение перехода в активное состояние канала RF. 1 – разрешено, 0 – запрещено. Для нормальной работы должна быть 1.
RF_CP_WORD	Это слово используется для задания величины вых. тока у выходных источников тока, а также для определения полярности источников тока. См. ниже подробное описание поля RF_CP_WORD.
RF_R_CNTR	Счетчик делителя частоты опорного генератора. 15 бит.
RF_CTL_WORD	Выбор глубины прескалера, управление сбросом. См. ниже подробное описание поля RF_CTL_WORD.
RF_NB_CNTR	Счетчик NB целой части делителя входной частоты. Счетчик NB устанавливается словом 10 бит. NB может принимать значения от 3 до 1024. $RF_NB_CNTR \geq (RF_NA_CNTR+2)$.
RF_NA_CNTR	Счетчик NA целой части делителя входной частоты. Счетчик NB устанавливается словом 5 бит. $(0 \leq A \leq 31 \{RF\}, 0 \leq A \leq 15 \{IF\}, A+2 \leq B \{RF\}, A \leq B \{IF\})$
FRAC_CNTR	Дробная часть делителя входной частоты. 4 бит. Для нормальной работы рекомендуемое значение 0.
FoLD	Управление мультиплексором выхода контроля. Это поле находится по адресу 0 в регистре IF_R[21...19] См. ниже подробное описание поля FoLD.
OSC	В синтезаторе есть два входа для работы с сигналами опорной частоты. Для конфигурации мультиплексора, выбирающего эти входы, служит поле OSC, которое принадлежит регистру IF_R[23] по адресу 0. Когда $OSC = 1$, между входами и OSCx можно подключить кварцевый резонатор, что даёт возможность получения общего генератора опорной частоты для каналов IF и RF. Когда $OSC = 0$, OSCx служит источником сигнала опорной частоты для канала RF, а OSCin – для канала IF. Значение по умолчанию 1.
FRAC_16	В этом поле задаётся дробность коэффициента деления прескалера P . При $FRAC_16 = 0$; $P = 15$ (или 31). При $FRAC_16 = 1$; $P = 16$ (или 32). По умолчанию это поле надо устанавливать в 1.

Описание поля RF_CP_WORD.

Значение тока, формируемое выходными источниками тока может быть задано в диапазоне от 100 мкА до 1600 мкА. Это нужно для изменения времени реакции срабатывания петли ФАПЧ (время перестройки тактового генератора). В нашем случае время перестройки генератора не имеет значения, поэтому есть смысл задавать небольшое значение тока выходных источников тока 500 мкА. Структура слова RF_CP_WORD представлена в таблице 5. За величину тока отвечают биты CP_Xx (RF_R[21...18]). Требуемая величина тока может быть взята из

Табл. 9. При изменении на 1 слова RF_R[21...18] величина тока меняется на 100 мкА. Бит RF_PD_POL (RF_R[17]) определяет полярность источников тока: 1 – положительная полярность, 0 – отрицательная полярность. Для нормальной работы RF_PD_POL = 1.

Табл. 8 Описание поля RF_CP_WORD.

CP_8X	CP_4X	CP_2X	CP_1X	RF_PD_POL
-------	-------	-------	-------	-----------

Табл. 9 Соответствие битов слова RF_CP_WORD величине тока выходных источников тока.

ICPo uA (typ)	CP8x	CP4x	CP2x	CP1x
	RF_R[21]	RF_R[20]	RF_R[19]	RF_R[18]
100	0	0	0	0
200	0	0	0	1
300	0	0	1	0
400	0	0	1	1
-	-	-	-	-
900	1	0	0	0
-	-	-	-	-
1600	1	1	1	1

Описание поля RF_CTL_WORD.**Табл. 10 Структура слова RF_CTL_WORD (RF_N[23...21])**

MSB	LSB
RF_CNT_RST	PWDN_RF PRESC_SEL

Табл. 11 Состояния битов слова RF_CTL_WORD.

BIT		FUNCTION	0	1
IF_CNT_RST/RF_CNT_RST		IF/RF counter reset	Normal Operation	Reset
PWDN_IF/PWDN_RF		IF/RF power down	Powered up	Powered down
PWDN_MODE		Power down mode select	Asynchronous power down	Synchronous power down
PRESC	LMX2350	Prescaler Modulus select	16/17 (0.5 to 1.2 GHz operation)	32/33 (1.2 to 2.5 GHz operation)
	LMX2352		8/9 (0.25 to 0.5 GHz operation)	16/17 (0.5 to 1.2 GHz operation)

Для нормальной работы RF_CTL_WORD = 0, для программного сброса RF_CTL_WORD = 4.

Описание поля FoLD.

Это поле задаёт адрес для восьмиканального мультиплексора контрольного выхода. На выход контроля можно подавать сигналы из 8 контрольных точек синтезатора.

Табл. 12 Состояния битов поля FoLD.

FoLD (IF_R[21...19])	Состояние
000	Наличие входного аналогового сигнала на входах IF и RF (выход – открытый коллектор) (не нужен)

001	Обнаружен захват по каналу IF (не нужен)
010	Обнаружен захват по каналу RF
011	Обнаружен захват по каналу IF и RF (не нужен)
100	Выход счётчика IF_R (не нужен)
101	Выход счётчика IF_N(не нужен)
110	Выход счётчика RF_R
111	Выход счётчика RF_N

Программирование тактовой частоты.

В программном интерфейсе пользователя интересуют следующие ресурсы:

1. Значение опорной частоты xx,xxxxx МГц. Допустимые пределы от 1 МГц до 50 МГц.
2. Значение частоты внутреннего синтезатора xxxx,xxxxx МГц. Наиболее вероятное 2000,00000 МГц.
3. Значение тактовой частоты внешнего генератора xxxx,xxxxx МГц. Допустимые значения от 200 МГц до 2000 МГц. При ошибочном вводе программа должна сообщить об ошибке, не изменяя предыдущего значения.
4. Коэффициент деления тактовой частоты из ряда: 1, 2, 4, 8, (16).
5. Результирующее значение тактовой частоты, полученное делением значения частоты синтезатора (или внешнего генератора) на коэффициент деления. Эта частота не должна выходить из диапазона от 200 МГц до 2000 МГц.
6. Значение тактовой частоты от модуля MASTER из диапазона от 200 МГц до 2000 МГц.
7. Переключатель: внешний генератор, внутренний синтезатор, от модуля MASTER.

Параметры синтезатора программируются на основании формул {1} и {2} и данных о значении опорной частоты и требуемой частоты синтезатора. При решении уравнения с двумя неизвестными надо опираться на следующие соображения: частоту сравнения желательно выбирать в диапазоне 5...50 кГц, коэффициент деления входной частоты должен быть целочисленным и стремиться к модулю двух.

Для выбора одного из 4 значений частот (2000 МГц, 1000 МГц, 500 МГц, 250 МГц) необходимо соответствующим образом запрограммировать делитель частоты и мультиплексор тактовой частоты, обозначенные на блок-схеме **B16, B17, B18**. (Рис. 1).

4.7 Узел стартовой синхронизации.

Условием старта сбора АЦП может быть один из пяти источников старта:

- Программный;
- Старт от канала, разъем **IN**;
- Внешний старт, разъем **EXT START IN**;
- Старт от платы **MASTER** в режиме **MASTER - SLAVE**, разъем **START IN**.

Сигналы при «старте от канала» и «внешнем старте» подаются на входы двух компараторов **B12**. С помощью мультиплексора старта **B13** производится программируемый выбор источников старта: «программный», «старт от канала», «внешний старт», «старт от платы **MASTER** в режиме **MASTER – SLAVE**». Этим же мультиплексором старта можно выбрать полярность стартового сигнала в режимах «старт от канала», «внешний старт». В узле стартовой синхронизации есть элементы, осуществляющие привязку момента старта к сигналу тактовой частоты, чтобы исключить неопределённость момента старта. Эти элементы на функциональной схеме Рис. 1 показаны как **B14**. Компаратор имеет программируемый диапазон перестройки порога срабатывания от -2,5 В до +2,5 В. Порог определяется напряжением от узла ЦАП программируемых напряжений, канал **DAC CMP**. Этот канал ЦАП имеет прямой код от 0 до 256 уровней. Смещению 0 В соответствует код 127. Смещению нижнего предела напряжения срабатывания соответствует код 0. Смещению верхнего предела напряжения срабатывания соответствует код 256. Диапазон уровней напряжения срабатывания компаратора от входа **EXT START IN** соответствует диапазону от -5 В до +5 В. При «старте от канала» выбранной полной шкале преобразования АЦП соответствует полный диапазон порогов напряжения срабатывания компаратора. То есть, для того, чтобы установить порог срабатывания компаратора старта от канала + $U_{\text{макс.ацп}}$ необходимо в соответствующий канал ЦАП программируемых напряжений надо записать код 256, для установки порога 0 В надо записать код 127, а для порога - $U_{\text{макс.ацп}}$ надо записать код 0. + $U_{\text{макс.ацп}}$ – максимальное значение напряжения преобразования АЦП для выбранной шкалы АЦП. Компараторы имеют гистерезис (область нечувствительности) соответствующую $\pm 10\%$ от диапазона перестройки порогов срабатывания компараторов.

На компаратор старта от канала (**IN**) подаётся сигнал, не включающий в себя смещение базовой линии АЦП, вырабатываемое узлом **B9** Рис. 1. Из-за этого при старте от канала уровень старта зависит от начального смещения базовой линии АЦП. Эту зависимость несложно учесть программно, вычитая при расчете кода срабатывания стартового компаратора уровень смещения базовой линии АЦП из предполагаемого уровня срабатывания компаратора. Например, на вход **IN** подан сигнал в диапазоне напряжений от -100 мВ до +250 мВ, при выбранном диапазоне преобразования ± 500 мВ. Чтобы сигнал выровнять относительно «0» диапазона преобразования, необходимо дополнительно сместить базовую линию АЦП на -62,5 мВ. После этого, желая производить старт относительно, уровня +100 мВ, необходимо из величины +100 мВ вычитать -62,5 мВ. Получим значение +162,5 мВ. Это значение и есть тот порог, для которого необходимо рассчитать код ЦАП смещений (**B28** Рис. 1) канал **DAC CMP**.

Минимальная длительность импульса внешнего старта должна быть не менее 4 нс при тактировании АЦП с частотой не ниже 500 МГц. При тактировании АЦП более низкой частотой длительность запускающего импульса должна быть не менее половины периода частоты тактирования.

4.8 Узел упаковки данных и управления SDRAM

Узел упаковки данных и управления SDRAM полностью реализован в ПЛИС. На узел поступают выходные данные демультимплексора шириной восемь 10-разрядных отсчётов. Каждый отсчёт упаковывается в 16-разрядное слово, выровненное по старшему разряду. Младшие разряды заполняются нулями. Кроме этого, при заданном режиме данных «дополнительный код» происходит преобразование прямого кода АЦП в дополнительный, в режимах «прямой» и «код Грея» никакого дополнительного преобразования данных не происходит.

Узел обеспечивает управление всеми режимами работы памяти данных, а также содержит буферную память FIFO размером 16 кбайт, вывод данных из которой возможен на шину PCI. Неразрывность собираемых данных в режиме FIFO обеспечивается только в случае не превышения темпом поступления данных АЦП темпа чтения данных по системной шине. Например, в случае сбора данных короткими блоками, не превышающими размера FIFO.

4.9 Память данных

Память данных модуля предназначена для накопления данных АЦП, поступающих со скоростями, превосходящими пропускную способность системной шины, когда режим ввода данных АЦП через FIFO не обеспечивает неразрывность потока данных.

Модуль предусматривает установку двух стандартных 184-pin DDR SDRAM DIMM, общим объёмом до 4 Гбайт. Установка одного модуля памяти невозможна.

Примечание: При самостоятельной установке пользователем модулей DDR SDRAM DIMM необходимо учитывать следующие требования:

1. Допускается устанавливать модули только с одинаковой организацией (объём, число банков, размер страниц).
2. Класс быстродействия не ниже PC2100.
3. Все модули должны быть регистровыми (registered).
4. Не гарантируется работоспособность узла памяти при самостоятельной установке пользователем DIMM-модулей.

Доступ по чтению данных со стороны системной шины реализован в потоковом режиме, при этом возможно либо использование режима шины PCI «Мастер», либо программное чтение.

Предусмотрены два режима доступа к памяти по чтению: *автоматический* и *произвольный*.

Автоматический режим доступа обеспечивает начало передачи данных в системную шину сразу по завершении сбора данных АЦП. Предварительно программируется размер буфера сбора, и его начальный адрес. При этом в системную шину данные передаются последовательно, начиная с начала активной зоны до её конца, а в претриггерном/посттриггерном режиме – начиная с текущего начала кольцевого буфера (в размере активной зоны) в случае его закольцовывания, в противном случае - с начала активной зоны.

Примечание: При продолжении процесса чтения данных по исчерпанию активной зоны, указатель чтения данных переходит на начало активной зоны и чтение может продолжаться далее.

Произвольный режим доступа обеспечивает доступ по чтению к произвольному участку памяти, независимо от процесса сбора данных и заданных параметров активной зоны. Для использования этого режима необходимо задать начальный адрес чтения и затем включить бит разрешения чтения, после чего данные будут передаваться последовательно в системную шину. Процесс сбора данных организуется точно так же, как и при установленном автоматическом режиме доступа.

Максимальная скорость передачи данных в обоих режимах одинакова, и ограничена только пропускной способностью локальной шины модуля, либо шины PCI. Она составляет свыше 250 Мбайт/с для 64-разрядной шины PCI и свыше 120 Мбайт/с для 32-разрядной. В произвольном режиме, однако, скорость может быть значительно ниже в случае чтения данных из памяти на фоне продолжающегося сбора данных АЦП, т.к. приоритет по доступу к памяти отдан потоку данных от АЦП.

Для управления узлом памяти предназначен набор программируемых ресурсов (см. Описание модуля загрузки ПЛИС)

Подлежат программированию следующие параметры:

- режим доступа по чтению – произвольный или автоматический;
- начальный адрес активной зоны памяти, определяет размещение области памяти, в которую производится сбор данных, в общем массиве памяти;
- конечный адрес активной зоны памяти, не может превышать физический размер памяти, установленной на модуле;
- значение счетчика посттриггера, определяют количество собираемых данных после события при включенном режиме претриггера, может принимать нулевое значение;
- начальный адрес чтения (только для произвольного режима доступа);
- параметры, характеризующие организацию модулей памяти, определяются либо чтением конфигурационной ПЗУ (SPD ROM) на модулях, либо задаются вручную при отсутствии SPD ROM.

В зависимости от выбранных режимов стартовой синхронизации АЦП реализованы следующие алгоритмы работы узла памяти данных:

- сбор данных в режиме программного старта/останова осуществляется с момента разрешения до заполнения активной зоны или программного останова АЦП;
- сбор данных в режиме программного старта и внешнего останова осуществляется с момента разрешения до заполнения активной зоны или прихода внешнего события или программного останова АЦП;
- сбор данных в режиме внешнего старта и внешнего останова осуществляется с момента прихода внешнего события старта до останова (с возможными повторами старта-останова) до заполнения активной зоны или программного останова АЦП;
- сбор данных в режиме претриггера/посттриггера осуществляется с момента разрешения до прихода внешнего события старта в режиме циклического буфера в объеме активной зоны и затем продолжается до исчерпания счетчика посттриггера или программного останова АЦП.

Так как останов сбора данных в режиме претриггера/посттриггера осуществляется с точностью до 128 слов (но не менее заданного счётчика посттриггера), для точной привязки момента события к собранным данным предназначен специальный механизм: реально собранное количество данных (по модулю размера активной зоны) с точностью до 64-разрядного слова после остановки процесса сбора может быть определено считыванием соответствующих регистров, наличие перехода через границу активной зоны в режиме претриггера определяется состоянием соответствующего разряда регистра статуса. Возможность более точной привязки момента события (с точностью до отсчёта АЦП) представлена в Описании прошивки ПЛИС для соответствующего субмодуля.

Перед началом работы с модулем необходимо установить корректные значения полей регистра конфигурации памяти и выполнить команду инициализации блока памяти, если не установлен признак инициализации памяти.

4.10 Цифровой порт ввода/вывода

Табл. 4-13 Разъем PIOX цифрового порта ввода/вывода

Контакт	Обозначение	Назначение цепи
1	PIO0	цифровой порт ввода/вывода разряд 0
2	PIO1	цифровой порт ввода/вывода разряд 1
3	PIO2	цифровой порт ввода/вывода разряд 2
4	PIO3	цифровой порт ввода/вывода разряд 3
5	PIO4	цифровой порт ввода/вывода разряд 4
6	PIO5	цифровой порт ввода/вывода разряд 5
7	PIO6	цифровой порт ввода/вывода разряд 6
8	PIO7	цифровой порт ввода/вывода разряд 7
9	PIO8	цифровой порт ввода/вывода разряд 8
10	PIO9	цифровой порт ввода/вывода разряд 9
11	PIO10	цифровой порт ввода/вывода разряд 10
12	PIO11	цифровой порт ввода/вывода разряд 11
13	PIO12	цифровой порт ввода/вывода разряд 12
14	PIO13	цифровой порт ввода/вывода разряд 13
15	PIO14	цифровой порт ввода/вывода разряд 14
16	PIO15	цифровой порт ввода/вывода разряд 15
17	GND	Общий
18	PIOWR/	строб цифрового порта вывода (выход)
19	PIORD/	строб цифрового порта ввода (выход)
20	GND	Общий
21	ACKRD/	сигнал запроса ввода (вход)
22	GND	Общий
23	ACKWR/	сигнал запроса вывода (вход)
24	GND	Общий
25	NC	Резерв
26	GND	Общий

Цифровой порт ввода/вывода представляет собой 16 двунаправленных LVCMOS – сигналов (3.3V, толерантны к 5V логике), выведенных на разъем PIOX (Табл. 4-13). Разряды PIO[15..8] и PIO[7..0] могут быть независимо запрограммированы на ввод или вывод данных.

Все сигналы подключаются через буфер к ПЛИС ADM, что позволяет реализовывать различные протоколы обмена. Сигналы порта подключаются к ПЛИС ADM через буфер типа 74ALVCH16245.

Данные в выходном регистре защелкиваются по нарастающему фронту сигнала записи, строб записи (PIOWR/) также выведен на разъем PIOX.

Состояние всех линий порта (PIO[0..15]) может быть считано программно, строб чтения порта (PIORD/) выведен на разъем.

Сигналы ACKWR/ и ACKRD/ предназначены для синхронизации работы порта со стороны удалённого устройства.

Стробы чтения и записи представляет собой импульсы 0-го уровня, фиксация данных происходит по перепаду из "0" в "1".

Подробности управления портом цифрового ввода-вывода и временные диаграммы его работы приведены в Описании модуля загрузки ПЛИС.

4.11 Системный интерфейс

Модуль ADS10x2G предназначен для работы в составе компьютеров с 32/64-разрядной 5- или 3,3 - вольтовой системной шиной PCI с тактовой частотой до 66МГц. В качестве контроллера шины применена микросхема PLX PCI9656. Контроллер позволяет передавать данные в или из модуля в режиме Bus Master с максимальной производительностью шины (свыше 120 Мбайт/с для PCI 32/33 и свыше 250 Мбайт/с для PCI 64/66).

Программируемые ресурсы модуля занимают 512 байт в адресном пространстве ввода/вывода. Доступ ко всем программируемым ресурсам и данным осуществляется 32-разрядными словами.

Программирование режимов работы изделия осуществляется путем вывода соответствующих кодов в регистры модуля, а обмен данными АЦП может осуществляться как в режиме прямого доступа к памяти (Bus Master), так и в программном режиме.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

5. ВЗАИМОДЕЙСТВИЕ МОДУЛЯ С ИСТОЧНИКАМИ СИГНАЛОВ

5.1 Предварительные замечания

В случае существенного снижения качественных характеристик модуля, которое может быть вызвано повышенным излучением монитора, компьютерного источника питания, токовых контуров, видеоконтроллера и пр., фирма может осуществлять поставку полного объема аппаратуры, включая персональный или промышленный компьютер. Изготовитель оставляет за собой право вносить в изделие незначительные изменения без отражения в руководстве (изменение номиналов резисторов, конденсаторов и пр.). В случае затруднений обращайтесь за консультацией.

Если изделие работает с источниками сигналов, удаленных на расстояние более 2-3м (или в условиях сильных электромагнитных помех), обращайтесь за консультацией.

Использование пассивных входных фильтров и развязывающих трансформаторов уменьшает уровень помех на входе модуля, что способствует улучшению динамического диапазона. Качество кабельного хозяйства также имеет большое значение: рекомендуется применять кабели с посеребрённой медью в качестве материала центральной жилы/жил и экранирующей оплетки. При использовании разнесенных друг от друга на значительное расстояние источников сигналов, желательна установка развязывающих высокочастотных сигнальных трансформаторов. Для тестирования динамических параметров модуля следует использовать синтезатор высокой частоты с малым уровнем фазового шума с набором пассивных ФНЧ (для подавления гармоник генератора).

5.2 Подключение модуля к типовым источникам сигналов

Для подключения к модулю исследуемых сигналов, а также сигналов внешнего старта и внешнего тактирования предназначены разъемы LEMO (или SMA по требованию заказчика) на боковой и верхней стороне модуля. Подавать на модуль следует с помощью коаксиальных кабелей с волновым сопротивлением 50 Ом.

Расположение разъемов модуля показано на Рис. 3.

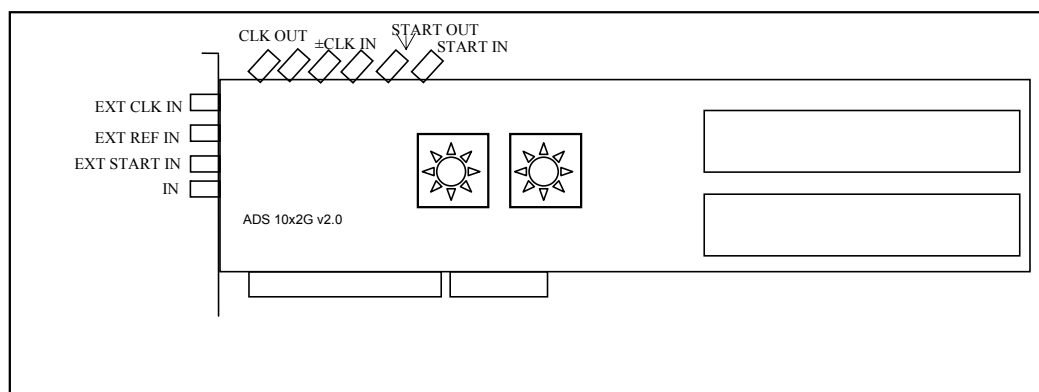


Рис. 3 Расположение разъемов на модуле ADS10x2G V2.0.

На вход **IN** можно подавать сигналы с амплитудным значением 5,7 В и действующим значением не выше 5 В. Максимальное пиковое импульсное напряжение на этих входах до 300 В при длительности одиночного импульса не больше 1 мс. Программно эти входы можно переключить в закрытое для постоянной составляющей состояние. В этом случае нижняя частота среза будет 32 Гц для $R_{вх} = 50 \text{ Ом}$, и 0,16 Гц для $R_{вх} = 1 \text{ МОм}$.

Разъём **CLK IN** используется для подключения к модулю SLAVE сигнала тактовой частоты от модуля MASTER при работе нескольких модулей в составе многомодульного комплекса в режиме MASTER-SLAVE. В качестве модуля MASTER должен быть

использован синтезатор тактовой частоты с форматом выходного сигнала, соответствующего PECL или ECL. Использование разъёма **±CLK IN** минимизирует временное рассогласование тактовых сигналов между платой MASTER и платами SLAVE.

Входы **EXT CLK IN** и **±CLK IN** имеют развязку от постоянной составляющей с нижней частотой среза равной 32 МГц. Размах сигналов может быть в пределах от 200 мВ до 1 В для **EXT CLK IN** и от 100 мВ до 1 В для **±CLK IN** при этом уровень постоянной составляющей сигналов не должен выходить за пределы от -3 В до +3 В.

На вход **EXT START IN** можно подавать сигналы в диапазоне от -5 В до +5 В. Минимально возможный размах сигнала на этом входе 200 мВ. Вход **EXT START IN** открыт для постоянной составляющей. Сигнал старта, подаваемый на этот вход, может иметь смещение от -5 В до +5 В, в этом случае для стартового компаратора требуется задать значение порога срабатывания так, чтобы оно находилось между верхним и нижним пределами напряжения стартового сигнала. Максимальное напряжение на входе **EXT START IN** не должно превышать +6 В, и не должно быть ниже -6 В. Максимальный размах одиночного импульса подведённого на этот вход не должен превышать 150 В при длительности импульса не более 500 мкс. Форма сигнала на входе **EXT START IN** может быть произвольной, рекомендуемая форма – прямоугольный импульс. Входное сопротивление **EXT START IN** 10 кОм.

Вход **START IN** используется для подключения сигнала старта приходящего от модуля MASTER при работе модуля **ADS10x2G V2.0** в режиме SLAVE. . Размах сигналов может быть в пределах от 200 мВ до 1 В. Вход открыт для постоянной составляющей и имеет активное сопротивление 50 Ом. Тип подводимых сигналов – положительная низковольтная ЭСЛ (LVPECL). Высокий уровень +1,8 В, низкий уровень +1,2 В, постоянное смещение базовой линии +1,6 В. Максимально допустимый уровень напряжения +3,3 В, минимально допустимый уровень напряжения 0 В.

Два разъёма **CLK OUT** дублируют друг друга. На эти разъёмы подаётся выходной сигнал тактовой частоты АЦП. Разъёмы предназначены для нагрузки на линию связи 50 Ом. Тип подводимых сигналов – положительная низковольтная ЭСЛ (LVPECL). Высокий уровень +1,8 В, низкий уровень +1,2 В, постоянное смещение базовой линии +1,6 В. Максимально допустимый уровень напряжения +3,3 В, минимально допустимый уровень напряжения 0 В.

На разъём **START OUT** подаётся выходной сигнал старта АЦП. Этот разъём предназначен для нагрузки на линию связи 50 Ом. Тип подводимых сигналов – положительная низковольтная ЭСЛ (LVPECL). Высокий уровень +1,8 В, низкий уровень +1,2 В, постоянное смещение базовой линии +1,6 В. Максимально допустимый уровень напряжения +3,3 В, минимально допустимый уровень напряжения 0 В.

Входной разъём **EXT REF** служит для подачи сигнала опорной частоты на синтезатор тактовой частоты. Сигнал приходящий на разъём **EXT REF** должен быть совместим с LV-TTL 3,3 В. Сопротивление входа **EXT REF** 1 кОм.

6. КАЛИБРОВКА МОДУЛЯ

Для модуля ADS10x2G V2.0 предусмотрена программно-аппаратная калибровка:

- Смещения нуля в канале;
- Диапазона шкалы преобразования в каждом канале;

Алгоритмы калибровки в данном руководстве не рассматриваются. Целью калибровки является определение поправочного коэффициента для каждого из параметров, масштабирования этих коэффициентов, запоминание их в файле конфигурации и записи требуемых поправочных коэффициентов в регистры ЦАП смещения нуля, ЦАП подстройки шкалы преобразования.

7. УСТАНОВКА КОНФИГУРАЦИИ МОДУЛЯ

7.1 Загрузка конфигурации программируемых логических схем

Так как в состав модуля входят программируемые логические схемы (ПЛИС), перед работой с модулем необходимо загрузить их конфигурацию. Загрузка конфигурации должна быть проведена как минимум один раз после подачи питания на модуль, допускается многократная повторная загрузка той же или другой конфигурации.

При использовании программного обеспечения, поставляемого вместе с изделием, загрузка конфигурации ПЛИС происходит автоматически.